

明細書

化合物半導体基板の製造方法

5

技術分野

本発明は、化合物半導体基板の製造方法に関する。

背景技術

化合物半導体基板は、電界効果トランジスタ、ヘテロ接合バイポーラトランジスタ等の電子デバイスの製造に用いられている。これらの電子デバイスは高い電流密度で作動させると、電子デバイスの温度が上昇し、トランジスタの電流増幅率やダイオードの整流特性のような電子デバイス性能の低下や信頼性低下が生じることが知られている。電子デバイスの温度上昇を低減するため、放熱性に優れた化合物半導体基板の製法が検討されている。

15

発明の開示

本発明の目的は、放熱性に優れる化合物半導体基板を、簡便に製造する方法を提供することにある。

本発明者らは、放熱特性に優れる化合物半導体基板を簡便に製造する方法について鋭意検討した結果、本発明を完成させるに至った。

すなわち本発明は、次の工程(a) - (e) を含む化合物半導体基板の製造方法を提供する。

- (a) 基板1の上に、化合物半導体機能層2をエピタキシャル成長により形成する、
- (b) 化合物半導体機能層2に、支持基板3を接着する、
- 25 (c) 基板1と、基板1に接触していた側の化合物半導体機能層2の一部を研磨により

除去する、

(d) 工程 (c) により露出した化合物半導体機能層 2 の表面に、基板 1 より大きい熱伝導率を有する高熱伝導基板 4 を接着して、多層基板を得る、
(e) 支持基板 3 を多層基板から分離する。

5

また本発明は、次の工程 (f) – (h) を含む化合物半導体基板の製造方法を提供する。

(f) 基板 2 1 の上に、化合物半導体機能層 2 2 をエピタキシャル成長により形成する、
(g) 化合物半導体機能層 2 2 に、基板 2 1 より大きい熱伝導率を有する高熱伝導性基板 2 3 を接着する、
10 (h) 基板 2 1 と、基板 2 1 に接していた側の化合物半導体機能層 2 2 の一部を研磨により除去する。

発明の効果

15 本発明の製造方法により得られる化合物半導体基板は、放熱性に優れる。この化合物半導体基板を用いることにより、高い電流増幅率を有するトランジスタ、ヘテロ接合バイポーラトランジスタ、整流特性に優れるダイオードのような電子デバイスを製造することができる。これらの電子デバイスは、高い電流密度で作動させた場合であっても、電子デバイスの温度上昇が少ないので、性能や信頼性の観点で優れる。

20

図面の簡単な説明

図1は、本発明の実施形態（実施例1）を示す。

図2は、本発明の実施形態（実施例2）を示す。

図3は、実施例2で得られたpn接合ダイオードの断面構造を示す。

25 図4は、実施例2で得られたpn接合ダイオードの電流一電圧特性を示す。

図5は、比較例2で得られたp n接合ダイオードの断面構造を示す。

図6は、比較例2で得られたp n接合ダイオードの電流一電圧特性を示す。

図4、6において、縦軸はp電極とn電極間に流れる電流値I、単位はA(アンペア)であり、横軸はp電極とn電極に印加される電圧V、単位はV(ボルト)である。

5

発明を実施するための最良の形態

化合物半導体基板の製造方法I

本発明の化合物半導体基板の製造方法Iは前記の工程(a)～(e)を含む。

10 工程(a)で用いる基板1としては、単結晶GaAs、単結晶InPまたはサファイアのような単結晶基板が挙げられる。これらの基板1は、市販のものを用いればよい。基板1は、その表面を清浄化したものが好ましい。

工程(a)の化合物半導体機能層2は、エピタキシャル成長により形成される。エピタキシャル成長としては、例えば、有機金属気相成長(MOCVD)、分子線エピタキシャル成長、ハライド気相成長(出発原料としてハロゲンを含むガスを用いる。)、ハイドライド気相成長、液相エピタキシャル成長などが挙げられる。化合物半導体機能層2は、少なくとも2層からなることが好ましく、また、それぞれの層がIn、GaおよびAlからなる群から選ばれる少なくとも1つの3族元素を含み、かつN、P、AsおよびSbからなる群より選ばれる少なくとも1つの5族元素を含むことがより好ましい。

15 20 本明細書において、In、Ga、Al、N、P、AsおよびSb以外の元素はドーパントである。また、本明細書において、化合物半導体機能層2を構成する層は、組成または前記ドーパント濃度が異なれば、異なるものとする。従って、化合物半導体機能層2は、例えば、化合物半導体機能層2Aと、化合物半導体機能層2Bと組成は同一、ドーパント濃度が異なる化合物半導体機能層2Bからなるものを含む。

25

工程 (b) の支持基板 3 は、化合物半導体機能層 2 を有する化合物半導体層基板のエピタキシャル成長面に、接着される。支持基板 3 は、次の工程において、化合物半導体基板が破損しないように補強するためのものであり、十分な機械的強度を有するものであればよい。支持基板 3 は、例えば、石英、サファイアのような、絶縁性のガラスやセラミック； Si、Ge のような半導性材料などである。

工程 (b) の接着は、例えば、接着剤を用いて行えばよい。接着剤は、次の工程 (c) において、支持基板 3 と化合物半導体機能層 2 が分離しないために必要な接着強度を有していること、及び工程 (e) において、エピタキシャル成長面に化学的あるいは物理的変化を与えることなく（化学的あるいは物理的な損傷を与えることなく）エピタキシャル成長面から除去できるものであればよく、例えば、エレクトロンワックス、粘着テープが挙げられる。

工程 (c) では、基板 1 と、基板 1 近傍の化合物半導体機能層 2 の一部を研磨により除去する。研磨される化合物半導体機能層 2 としては、例えば、エピタキシャル成長を行うとき、結晶成長の観点で、有用となる層（バッファー層など）が挙げられる。研磨としては、機械的研磨、化学機械的研磨、化学的研磨などが挙げられる。機械的研磨は、研磨材または研磨薬品の共存下で研磨盤に被研磨体を適切な応力で押し付ける方法である。化学機械的研磨は、研磨薬品による研磨面の溶解と機械的研磨を組合せる方法、研磨材または研磨薬品を含む水などの液体を、基板と化合物半導体機能層の界面付近に高圧下で細い流れとして噴射し、その化学的および機械的研磨作用により基板と化合物半導体機能層とを切り離す方法である。化学的研磨法は、液体の研磨薬品による腐食・溶解を用いる方法や気体による腐食・揮発を用いる方法である。

工程 (d) では、基板 1 の全部および基板 1 近傍の化合物半導体機能層 2 の一部が除去された後に露出した化合物半導体機能層 2 の表面に、基板 1 より高い熱伝導度を有す

る高熱伝導性基板4を接着する。高熱伝導性基板4は、その大きさが、通常、基板1と略同一であるが、より大きなものであってもよい。高熱伝導性基板4は、例えば、ダイヤモンド；炭化珪素（SiC）；窒化アルミニウム（AlN）；窒化硼素（BN）；シリコン（Si）；Al、Cu、Fe、Mo、Wのような金属；金属酸化物；金属硼化物等5である。金属は、合金であってもよく、例えば、Al、Cu、Fe、MoおよびWからなる群より選ばれる少なくとも2つの合金が挙げられる。高熱伝導性基板4は、好ましくは、ダイヤモンド；SiC、AlN；BN；Si；Al、Cu、Fe、Mo、W及びこれらの金属の合金である。

高熱伝導性基板4は、さらに好ましくは、化学気相蒸着（CVD）法、焼結法により10得られた多結晶Si基板； 単結晶Si基板、多結晶Si基板またはセラミック（SiC、AlN、BNなど）基板の上に、厚さ約300μm以下、好ましくは約150μm以下、かつ約50μm以上の多結晶またはアモルファスのダイヤモンド薄膜を形成したもの（以下、「ダイヤモンド基板」と称する。）； CVD法または焼結法により得られた多結晶またはアモルファスのSiC、AlN、BNである。

15 これらのうち、好ましくはダイヤモンド基板であり、より好ましくはダイヤモンド薄膜がアモルファスのダイヤモンド基板である。ダイヤモンド基板は、入手が比較的容易であり、熱伝導度が高く (>1000W/mK)、高強度を有するSi基板やセラミック基板を含むことから、ハンドリング性も良好である。

20 電子デバイスの動作時においては、熱の発生に伴い電子デバイス側から高熱伝導性基板4側に温度勾配が生じる。このとき、デバイスを形成する化合物半導体機能層2に接着される高熱伝導性基板4と化合物半導体機能層2の間では熱膨張係数の差により引っ張りあるいは圧縮の応力が発生するため、高熱伝導性基板4は、通常、化合物半導体機能層2と熱膨張係数が近いものであることが好ましい。

25 また、高熱伝導性基板4は、通常、GaAs単結晶基板、InP単結晶基板、サファ

イア基板のような基板1の熱伝導度（約40W/mK—約70W/mK）より高い熱伝導度、約100W/mK以上、好ましくは約150W/mK以上、より好ましくは約500W/mK以上、を有するものであることが好ましい。

化合物半導体基板から高周波用電子デバイスを製造する場合、高周波での誘電損失を5 低減する目的で、化合物半導体基板の高熱伝導基板4の比抵抗は、約 $10^3\Omega\text{ cm}$ 以上、さらには約 $10^5\Omega\text{ cm}$ 以上である材料であることが好ましい。一方、高周波での誘電損失が少ないことが求められない用途であれば、高熱伝導性基板4は、各種の半導体；セラミックス（SiC, AlN, BNなど）；導電性材料（金属、金属酸化物、金属硼化物など）であってもよい。

10

工程（d）の接着は、接着剤を用いて行ってもよいし、接着剤を用いない方法で行ってもよい。接着剤を用いる場合、接着剤としては、例えば、低融点金属（In, Snまたはハンダ等）のような無機接着剤；熱硬化性樹脂、光硬化性樹脂、エレクトロンワックス（Apiezon社製のワックス「W」など）のような有機接着剤が挙げられ、好ましくは有機接着剤である。化合物半導体機能層2、高熱伝導性基板4が光透過性の場合、光硬化性樹脂を含む接着剤を用いて接着してもよい。接着剤の層の厚さは、化合物半導体機能層2から高熱伝導性基板4への伝熱を損なわない程度の厚さであることが好ましい。

工程（d）では、化合物半導体機能層2と高熱伝導性基板4を接着する前、これらの接合面の少なくとも1つを清浄化処理または化学的処理することが好ましい。また、これらの処理を施した接合面の少なくとも1つを熱処理することがより好ましい。これらの処理により、化合物半導体機能層2と高熱伝導性基板4は直接接合され得る（例えば、Journal of Optical Physics and Materials, Vol. 6, No. 1, 1997年, p.19-48）。直接接合では、化合物半導体機能層2と高熱伝導性基板4の熱膨張係数の差は小さいこと25 が好ましい。

工程 (e) では、工程 (d) で得られた、高熱伝導性基板 4、化合物半導体機能層 2、支持基板 3 が順に積層された多層基板から、支持基板 3 を分離して、化合物半導体基板を得る。分離は、例えば、接着剤を加熱して融解する方法で行えばよい。エレクトロンワックスの場合、加熱してエレクトロンワックスを融解し、支持基板 3 を分離した後、化合物半導体基板に残存するエレクトロンワックスを有機溶剤を用いて除去してもよい。
5

化合物半導体基板の製造方法 II

10 本発明の化合物半導体基板の製造方法 II は、前記の工程 (f) – (h) を含む。
工程 (f) は、工程 (a) と同じ操作により行えばよい。基板 2 1 は、基板 1 と同等のものを適用すればよい。
工程 (g) では、工程 (d) と同様に、化合物半導体層 2 2 と高熱伝導性基板 2 3 を接着剤を用いて接着してもよいし、接着剤を用いない方法でこれらを接着してもよい。
15 接着剤は、工程 (d) にて使用したものと同じものを適用すればよい。工程 (g) の化合物半導体機能層 2 2、高熱伝導性基板 2 3 は、それぞれ、化合物半導体機能層 2、高熱伝導性基板 4 に相当する。
工程 (h) では、工程 (c) と同様に、基板 2 1 と、基板 2 1 近傍の化合物半導体機能層 2 2 の一部を研磨により除去すればよい。研磨は、工程 (c) と同じ方法を適用す
20 ればよい。

本発明の化合物半導体基板の製造方法 I 及び II により得られる化合物半導体基板は、製造時または製品運搬時における化合物半導体基板の破損、欠損を防止する観点から、周辺部を切除してもよく、必要に応じて、電子デバイスの製造工程に適した形状に加工してもよい。周辺部の切除は、本願発明の化合物半導体基板の製造方法の最終工程の後、
25

またはこれらの工程の中間で行えばよい。

また、本発明の化合物半導体基板の製造方法 I (または II) により得られる化合物半導体基板は、通常、基板 1 (または 2 1) の寸法、形状とほぼ同じであり、この化合物半導体基板を用いて電子デバイスを製造する設備には、従来の設備を適用可能である。

5

電子デバイスの製造方法

本発明の電子デバイスの製造方法は、上記で得られる化合物半導体基板に、電極を形成する工程を含む。

電極の形成は、例えば、化合物半導体基板の化合物半導体層 2 (または 2 2) に、金属 (Au、Ti、Ni、Al、Ge など) を蒸着させる方法で行えばよい。また、電極の形成では、必要に応じて、ドライエッチング、王水処理を組合せてもよい。

実施例

以下、本発明を実施例に基づき説明するが本発明はこれに限定されるものではない。

15

実施例 1

[化合物半導体基板の製造]

図 1 に化合物半導体製造の手順を示す。

市販の直径 100 mm、厚さ 630 μm の単結晶半絶縁性 GaAs 基板 1 の上に、III 20 族元素を含む出発原料として、トリメチルガリウム、トリエチルガリウム、トリメチルアルミニウム、トリメチルインジウム、V 族元素を含む出発原料として、アルシン、ホスフィン、また伝導性制御のためのドーパントの原料としてジシラン (n型制御)、トリクロロプロモメタン (p型制御) を水素ガスキャリアと共に用いた有機金属気相熱分解法により、ヘテロバイポーラトランジスタ用の化合物半導体機能層 2 を成長させ、化合物半導体層基板を作製した。化合物半導体機能層 2 の層構造は、基板 1 側から

	ナンド- ⁺ GaAs 層	50nm、
	ナンド- ⁺ AlAs 層	50nm、
	ナンド- ⁺ GaAs 層	500nm、
	Si ド- ⁺ (電子濃度 $3 \times 10^{18} / \text{cm}^3$) n型 GaAs サブコレクタ層	500nm、
5	Si ド- ⁺ (電子濃度 $1 \times 10^{16} / \text{cm}^3$) n型 GaAs コレクタ層	500nm、
	C ド- ⁺ (正孔濃度 $4 \times 10^{19} / \text{cm}^3$) p型 GaAs ベース層	80nm、
	Si ド- ⁺ (電子濃度 $3 \times 10^{17} / \text{cm}^3$) n型 InGaP エミッタ層	30nm、
	Si ド- ⁺ (電子濃度 $3 \times 10^{18} / \text{cm}^3$) n型 GaAs サブエミッタ層	100nm、
	Si ド- ⁺ (電子濃度 $2 \times 10^{19} / \text{cm}^3$) n型 In _x Ga _{1-x} As	
10	($x=0 \sim 0.5$ の傾斜構造) コンタクト層	100nm、

であった。図1中では、これらの層をまとめて化合物半導体機能層2と表す。

約100°Cに加熱されたホットプレート上に、直径100mm、厚さ500μmの透明石英の支持基板3を載せ、エレクトロンワックスを塗布溶解させた。次いで、化合物半導体層基板の化合物半導体機能層2のエピタキシャル成長面を、接着面として、支持基板3に接着した。このとき、化合物半導体層基板の裏面から治具を介して約5kgの荷重を与え、エレクトロンワックスを接着面に均一に付けた後、ホットプレート加熱を停止し、エレクトロンワックスを固化させ、透明石英の支持基板3に支持された多層基板を得た。得られた多層基板の厚みをダイヤルゲージにより計測したところ、1130μmであった。

得られた多層基板の支持基板3を研磨装置に固定し、約20分間、GaAs基板1を機械研磨して、約580μmを除去した。多層基板を研磨装置から外し、水洗浄した。次いで、クエン酸/過酸化水素/水系エッティング溶液に浸漬して、約4時間エッティングし、GaAs基板1と、エピタキシャル成長により得られた、AlAs層より基板側の

GaAs層を全て溶解した。次いで、水洗した後、5%HF水溶液に3分間浸漬して、AlAs層を除去した。

直径100mm、厚さ約500μmの市販の単結晶Si基板4の上に、水素及びメタ5 ンを原料としたプラズマCVD法により厚さ約50μmの高抵抗絶縁性のダイヤモンド薄膜5を形成した。ダイヤモンド薄膜5を鏡面研磨し、ポリイミド水溶液をスピニ塗布して得られた面と、上記の（単結晶GaAs基板1が除去され、支持基板3に貼合・支持された）化合物半導体機能層2の研磨面を、それぞれ接着面として、貼り合わせた後、約100℃に加熱し接着すると共に、エレクトロンワックスを溶解して支持基板310 を取り外した。雰囲気：窒素、印加荷重：約20kg、温度：約300℃、時間：1時間の条件で熱処理して、十分な接着強度を有する化合物半導体基板を得た。

[トランジスタの製造および評価]

得られた化合物半導体基板の化合物半導体機能層2のエピタキシャル表面を、アセト15 ンにより超音波洗浄により、清浄化した後、通常のリソグラフィを用いてエミッタ面の寸法が100μm×100μmのヘテロバイポーラトランジスタを製造した。コレクタメタルとしてAuGe/Ni/Au、エミッタメタルおよびベースメタルとしてTi/Auを用いた。代表的なデバイス特性である電流増幅率は、コレクタ電流密度1kA/cm²・時において148であった。

20

比較例1

実施例1の【化合物半導体基板の製造】において、GaAs単結晶の基板1の除去と高熱伝導性基板4の接着を実施しなかった以外、同じ操作を行って、化合物半導体基板を得た。

25 得られた化合物半導体基板について、実施例1の【トランジスタの製造および評価】

と同じ操作を行った。得られた、エミッタ面の寸法が $100\mu\text{m} \times 100\mu\text{m}$ であるヘテロバイポーラトランジスタの電流増幅率は、コレクタ電流密度が $1\text{ kA}/\text{cm}^2$ ・時ににおいて132であった。

5 実施例 2

【化合物半導体基板の製造】

市販の直径 50 mm 、厚さ $500\mu\text{m}$ の単結晶絶縁性のサファイア基板1'の上に、III族元素を含む出発原料として、トリメチルガリウム、トリメチルアルミニウム、V族元素を含む出発原料として、アンモニア、また伝導性制御のためのドーパントの原料として、シラン（n型制御）、ビスシクロペンタジエニルマグネシウム（p型制御）を水素ガスキャリアと共に用いた有機金属気相熱分解法により、p-n接合ダイオード用の化合物半導体機能層2'を成長させ、化合物半導体層基板を作製した。化合物半導体機能層2'の構造（図2参照）は、基板1'側から

15	ナンド-ド- ^p GaN パッファ-層 2 a	20nm,
	ナンド-ド- ^p GaN 層 2 b	500nm,
	Si ド- ^p (電子濃度 $3 \times 10^{18}/\text{cm}^3$) n型 GaN 層 2 c	5000nm,
	ナンド-ド- ^p GaN 層 2 d	50nm,
	ナンド-ド- ^p Al _x Ga _{1-x} N (x=0.05) 層 2 e	30nm
	Mg ド- ^p (正孔濃度 $8 \times 10^{18}/\text{cm}^3$) p型 GaN 層 2 f	80nm,

20 であった。次いで、化合物半導体層基板を窒素ガス雰囲気下で約 500°C 、10分間熱処理して、p型GaN層2fを活性化した。

約 100°C に加熱されたホットプレート上に、直径 50 mm 、厚さ $500\mu\text{m}$ の透明石英の支持基板3'を載せ、エレクトロンワックスを塗布溶解させた。次いで、化合物半導体層基板の化合物半導体機能層2'のエピタキシャル成長面を、接着面として、支

持基板3'に接着した。このとき、化合物半導体層基板の裏面から治具を介して約5kgの荷重を与え、エレクトロンワックスを接着面に均一に付けた後、ホットプレート加熱を停止してエレクトロンワックスを固化させ、支持基板3'に支持された多層基板を得た。得られた多層基板の厚みをダイヤルゲージにより計測したところ、1006μm
5 であった。

得られた多層基板の支持基板3'を研磨装置に固定し、約40分間、サファイア基板1'を機械研磨して、約480μmを除去した。続いて研磨剤及び研磨パッドを交換し、より細かい研磨砥粒を用いて22μmを除去した。化合物半導層基板を研磨装置から外
10 し、多層基板を水洗浄、さらに王水洗浄した。次いで、約0.5μm露出したGaN面を化学研磨した後、水洗、乾燥して、化合物半導体層基板を得た。

直径50mm、厚さ約500μmの市販の単結晶Si基板4'上に、水素及びメタンを原料としたプラズマCVD法により、厚さ約50μmの高抵抗絶縁性のダイヤモンド
15 薄膜5'を形成した。ダイヤモンド薄膜5'を鏡面研磨し、ポリイミド水溶液をスピニ塗布した面と、上記の（単結晶サファイア基板1'が除去され、支持基板3'に貼合・
支持された）化合物半導体機能層2の研磨面を、それぞれ接着面として、貼り合わせた
後、約100℃に加熱して接着すると共に、エレクトロンワックスを溶解し、支持基板
3'を取り外した。雰囲気：窒素、印加荷重：約20kg、温度：約300℃、時間：
20 1時間の条件で熱処理して、十分な接着強度を有する化合物半導体基板を得た。

[ダイオードの製造および評価]

p型GaN層2f表面に、直径300μmのAu/Ni電極を蒸着し、400℃で5分間熱処理して、p型オーミック電極Epを形成した。化合物半導体基板の、p型オーミック電極Epの周囲を、ドライエッチングにより約1000nm除去し、さらに王水
25

処理により 50 nm エッチング除去した。次いで、表面に Al 金属を 500 nm 蒸着して、n 型オーム電極 E_n を形成して、n 型 GaN 側に接続されたアルミニウム n 側オーム電極 E_n と、p 型 GaN に接合された p 側オーム電極 E_p とを有する、メサ型の GaN / AlGaN_{pn} ヘテロ接合ダイオードを作製した。その断面構造を 5 図 3 に示す。得られた試料 4 個について、ダイオードの電流-電圧特性を測定した。結果を図 4 に示す。

比較例 2

実施例 2 の [化合物半導体基板の製造] において、サファイア基板 1' の除去と、高熱伝導性基板 (単結晶 Si 基板 4' 上に、高抵抗絶縁性のダイヤモンド薄膜 5' を積層したもの) の接着を実施しなかった以外、同じ操作を行って、化合物半導体基板を得た。

得られた化合物半導体基板について、実施例 2 の [ダイオードの製造および評価] と同じ操作を行って、n 型 GaN 側に接続されたアルミニウム n 側オーム電極と p 型 GaN に接合された p 側オーム電極とを有する、メサ型の GaN / AlGaN_{pn} ヘテロ接合ダイオードを得た。得られたダイオードの断面構造を図 5 に示す。図 5 中、1' はサファイア基板、2a はノンドープ GaN バッファー層、2b はノンドープ GaN 層、2c は Si ドープ n 型 GaN 層、2d はノンドープ GaN 層、2e はノンドープ Al_xGa_{1-x}N (x=0.05)、2f は Mg ドープ p 型 GaN 層、E_p は p 側オーム電極、E_n は n 側オーム電極を示す。

また、試料 4 個について、ダイオードの電流-電圧特性を測定した。結果を図 6 に示す。

図 4 に示すように、本願発明の化合物半導体の製造方法により得られたダイオード (実施例 2) は、順方向バイアス側 (横軸の印加電圧値 > 0 V) の電流値が大きく、かつ逆方向バイアス側 (横軸の印加電圧値 < 0 V) のリーク電流値が小さいものであり、

整流特性に優れる。

図6に示すように、従来技術により得られたダイオード（比較例2）は、順方向バイアス側の電流値が小さく、逆方向バイアス側のリーク電流は大きい。

請 求 の 範 囲

1. 次の工程 (a) – (e) を含む化合物半導体基板の製造方法。
 - (a) 基板 1 の上に、化合物半導体機能層 2 をエピタキシャル成長により形成する、
 - 5 (b) 化合物半導体機能層 2 に、支持基板 3 を接着する、
 - (c) 基板 1 と、基板 1 に接触していた側の化合物半導体機能層 2 の一部を研磨により除去する、
 - (d) 工程 (c) により露出した化合物半導体機能層 2 の表面に、基板 1 より大きい熱伝導率を有する高熱伝導性基板 4 を接着して、多層基板を得る、
- 10 (e) 支持基板 3 を多層基板から分離する。
2. 化合物半導体機能層 2 は、少なくとも 2 層からなる請求項 1 記載の方法。
3. 化合物半導体機能層 2 は、In、Ga および Al からなる群より選ばれる少なくとも 1 つと、N、P、As および Sb からなる群より選ばれる少なくとも 1 つを含む請求項 1 または 2 記載の方法。
- 15 4. 高熱伝導性基板 4 は、Al、Cu、Fe、Mo、W、ダイヤモンド、SiC、AlN、BN および Si からなる群から選ばれる少なくとも 1 つを含む請求項 1 ~ 3 のいずれか記載の方法。
5. 次の工程 (f) – (h) を含む化合物半導体基板の製造方法。
 - (f) 基板 2 1 の上に、化合物半導体機能層 2 2 をエピタキシャル成長により形成する、
 - 20 (g) 化合物半導体機能層 2 2 に、基板 2 1 より大きい熱伝導率を有する高熱伝導性基板 2 3 を接着する、
 - (h) 基板 2 1 と、基板 2 1 に接していた側の化合物半導体機能層 2 2 の一部を研磨により除去する。
6. 化合物半導体機能層 2 は、少なくとも 2 層からなる請求項 5 記載の方法。
- 25 7. 化合物半導体機能層 2 は、In、Ga および Al からなる群より選ばれる少なくと

も1つと、N、P、AsおよびSbからなる群より選ばれる少なくとも1つを含む請求項5または6記載の方法。

8. 高熱伝導性基板23は、Al、Cu、Fe、Mo、W、ダイヤモンド、SiC、AlN、BNおよびSiからなる群から選ばれる少なくとも1つを含む請求項5～7のい

5 ずれか記載の方法。

9. 請求項1～8のいずれかに記載の工程と、得られる化合物半導体基板に電極を形成する工程を含む、電子デバイスの製造方法。

図 1

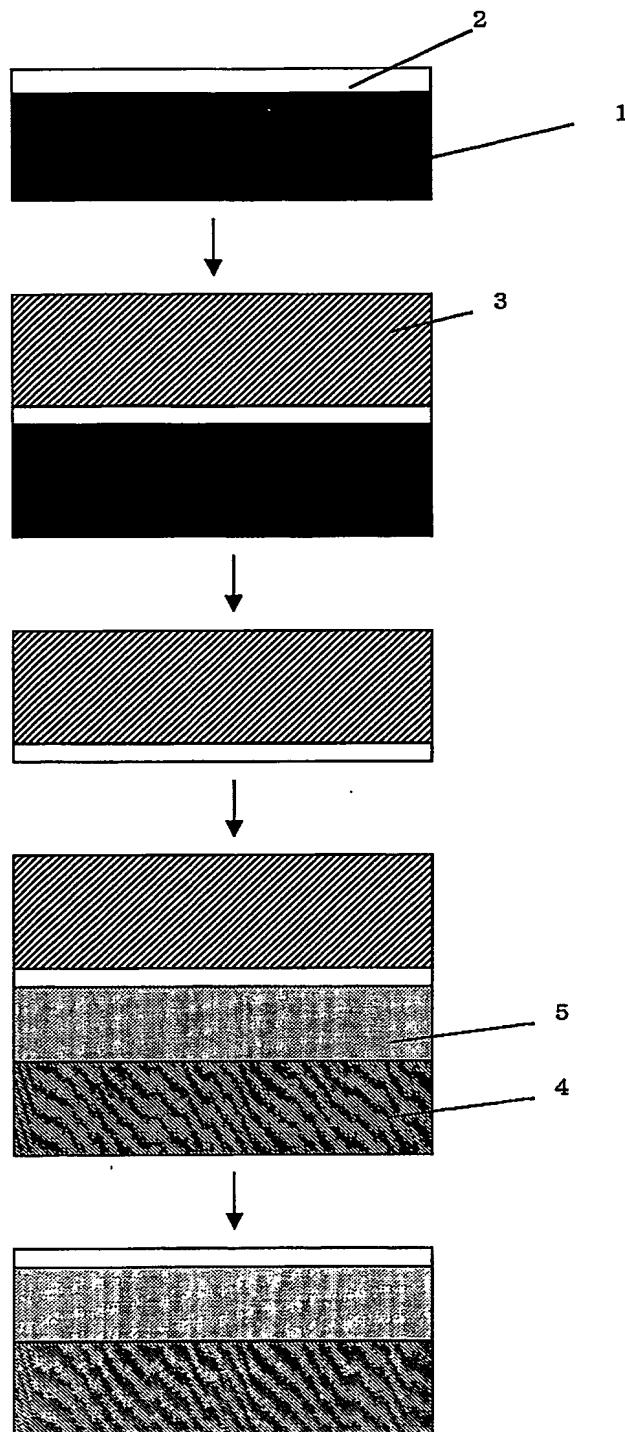


図 2

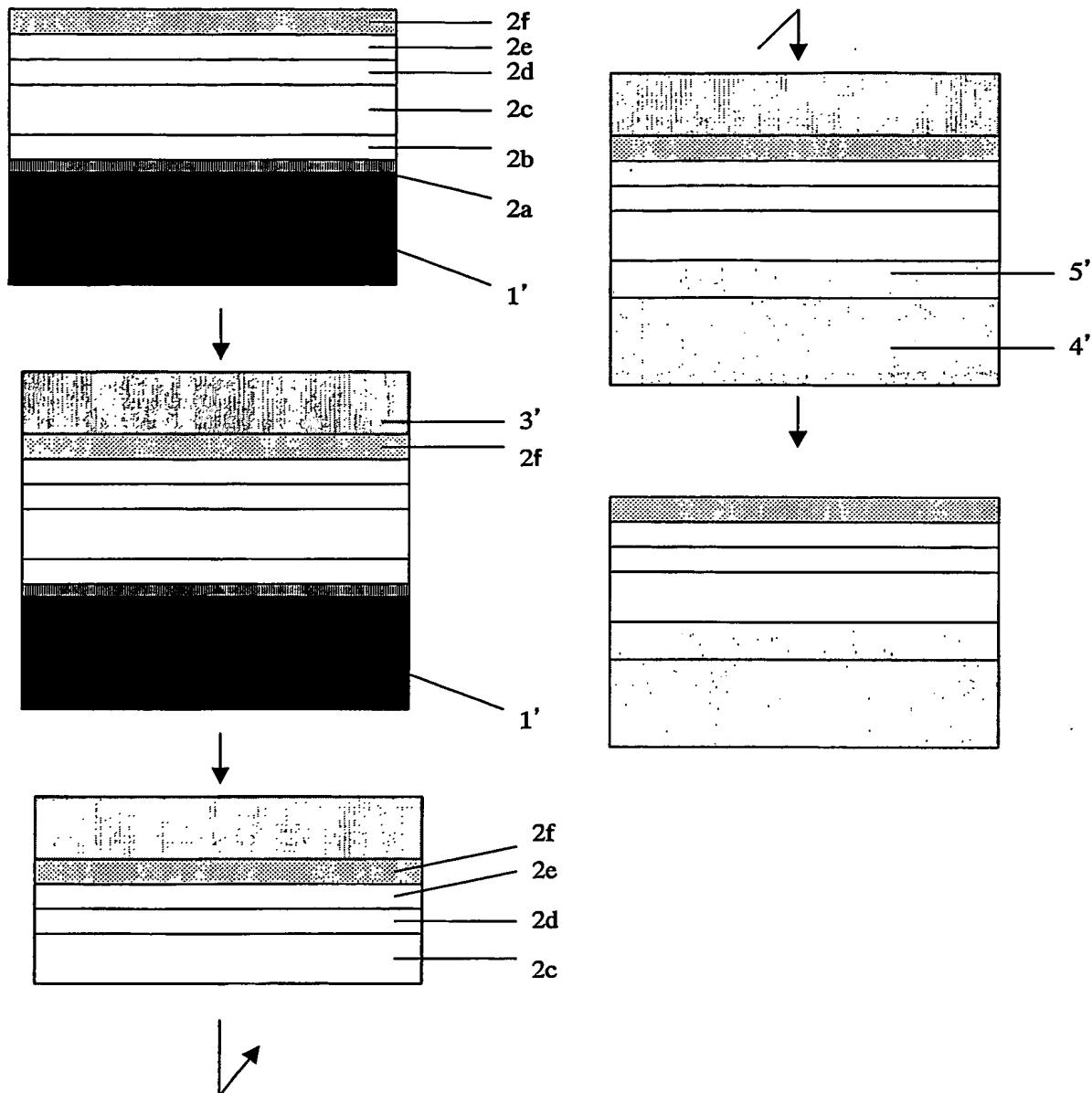


図 3

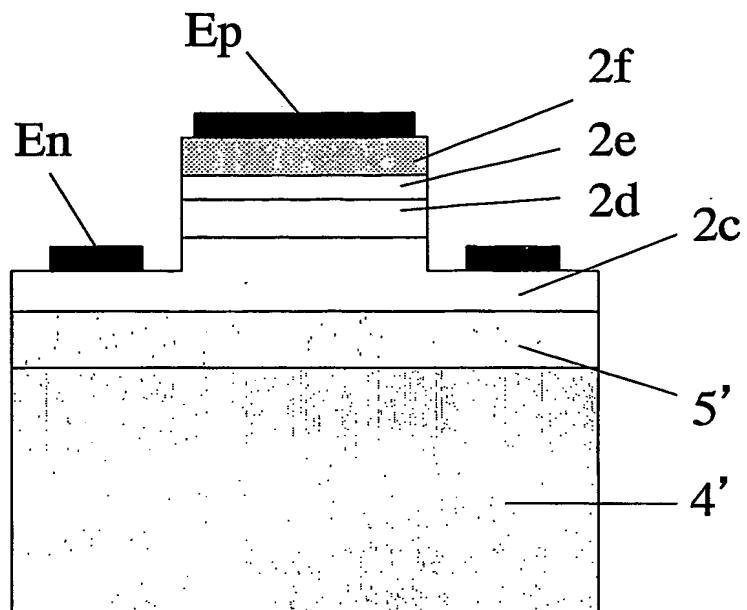


図 4

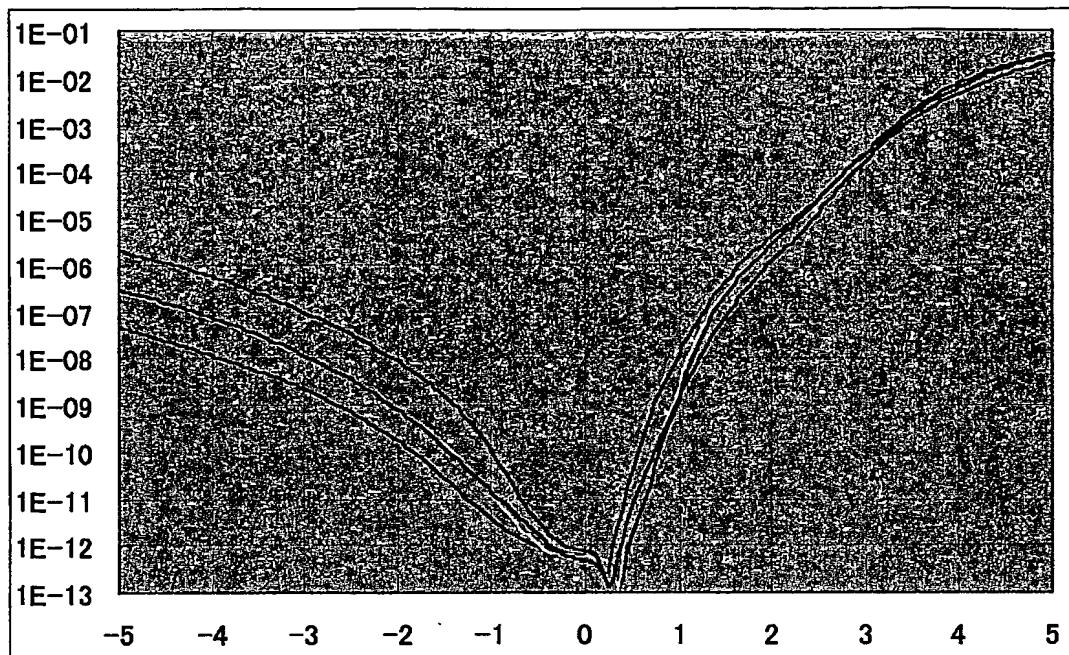


図 5

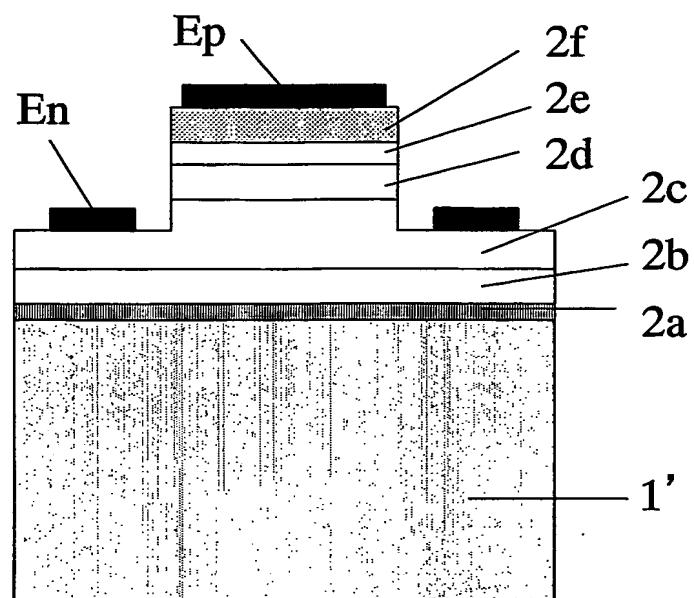
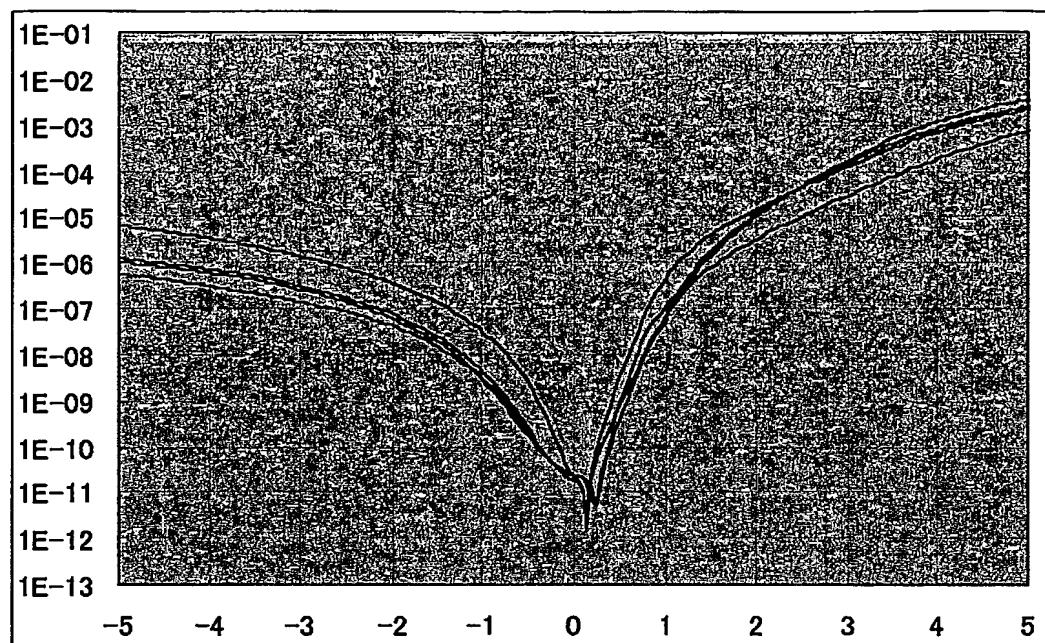


図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016186

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/331, H01L21/329, H01L21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/331, H01L21/329, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-349731 A (NEC Corp.), 22 December, 1994 (22.12.94), Full text; Figs. 1 to 5 (Family: none)	1-9
X	JP 2003-524886 A (Jiputoronikusu Inc.), 19 August, 2003 (19.08.03), Full text; Figs. 1 to 19 & WO 01/26137 A2 Full text; Figs. 1 to 19 & EP 1245039 A2 & US 2002/0094661 A1 & US 2002/0173120 A1 & AU 7825300 A & KR 3036127 A	5-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December, 2004 (15.12.04)

Date of mailing of the international search report
11 January, 2005 (11.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016186

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>JP 7-307259 A (NEC Corp.), 21 November, 1995 (21.11.95), Full text; Figs. 1 to 6 & US 5728623 A Full text; Figs. 1 to 6 & US 6030884 A</p>	5-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1⁷ H01L21/331, H01L21/329, H01L21/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1⁷ H01L21/331, H01L21/329, H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 6-349731 A (日本電気株式会社) 1994.12.22, 全文, 第1-5図 (ファミリーなし)	1-9
X	JP 2003-524886 A (ジプトロニクス・インコーポ レイテッド) 2003.08.19, 全文, 第1-19図 & WO 01/26137 A2, 全文, 第1-19図 & EP 1245039 A2 & US 2002/0094661 A1 & US 2002/0173120 A1 & AU 7825300 A & KR 3036127 A	5-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

15. 12. 2004

国際調査報告の発送日

11. 1. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎 園子

4L 9277

電話番号 03-3581-1101 内線 3496

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 7-307259 A (日本電気株式会社) 1995. 11. 21, 全文, 第1-6図 & US 5728623 A, 全文, 第1-6図 & US 6030884 A	5-9

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.